

CLIPPEDIMAGE= JP353113484A

PAT-NO: JP353113484A

DOCUMENT-IDENTIFIER: JP 53113484 A

TITLE: PRODUCTION OF SEMICONDUCTOR DEVICE

PUBN-DATE: October 3, 1978

INVENTOR-INFORMATION:

NAME

KAWAMURA, NOBUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP52028485

APPL-DATE: March 14, 1977

INT-CL (IPC): H01L029/78; H01L021/28 ; H01L021/302 ;
H01L029/60

US-CL-CURRENT: 438/FOR.205, 438/FOR.352 , 438/217 , 438/289
, 438/612 , 438/656

ABSTRACT:

PURPOSE: To fine the gate structure of a NIS type
semiconductor device by
forming gate insulation film by oxide of Al , Hf, Ta, Ti,
Zr, Nb etc. having
large specific dielectric constant.

COPYRIGHT: (C)1978, JPO&Japio

公開特許公報

昭53—113484

⑪Int. Cl. ²	識別記号	⑫日本分類	庁内整理番号	⑬公開	昭和53年(1978)10月3日
H 01 L 29/78		99(5) E 3	6603—57		
H 01 L 21/28		99(5) C 1	7216—57	発明の数	1
H 01 L 21/302		99(5) C 3	7113—57	審査請求	未請求
H 01 L 29/60					

(全 5 頁)

⑭半導体装置の製造方法

東京都港区芝五丁目33番1号

日本電気株式会社内

⑮特 願 昭52—28485

⑯出 願 人 日本電気株式会社

⑰出 願 昭52(1977)3月14日

東京都港区芝五丁目33番1号

⑱発 明 者 河村信雄

⑲代 理 人 弁理士 内原晋

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1 オー導電型の基板半導体結晶表面又はオー導電型の基板半導体表面に200オングストローム以下の厚さの二酸化珪素膜を被覆した基体表面にオ一の金属膜を被覆する工程、前記工程で得た基体表面の一部の領域をホトレジスト膜又は酸化シリコン膜にて覆う工程、該ホトレジスト膜又は酸化シリコン膜をマスクとして露出した領域のオ一の金属膜を陽極化成又は加熱酸化により酸化物化する工程、前記工程に続き基体表面にオ二の金属膜を被覆する工程、前記ホトレジスト膜又は酸化シリコン膜上のオ二の金属膜を該ホトレジスト膜又は酸化シリコン膜と共に除去する工程および前記ホトレジスト膜又は酸化シリコン膜下に存在したオ一の金属膜を除去する工程、以上の諸工程を含むことを特徴とするMIS(金属-絶縁膜-半導体)製造を含む半導体装置の製造方法。

(1)

するMIS(金属-絶縁膜-半導体)製造を含む半導体装置の製造方法。

2 オ一の金属として、アルミニウム、ハフニウム、タンタル、チタン、ジルコニウム、ニオブもしくは10%以下のシリコンを含む上記金属を用いた特許請求の範囲オ1項記載の半導体装置の製造方法。

3 オ二の金属として、モリブデン又はタングステンを用いた特許請求の範囲オ1項およびオ2項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は、要するにMIS(金属-絶縁膜-半導体)製造を含む半導体装置の製造方法に関するものである。

近年LSIの高密度化および高速化のために、それに取組まれる個々の素子や配線構造は微細化の一途をたどり、短チャネル絶縁ゲート電界効果トランジスタ(以下IGFETと呼ぶ)を例に取つても、周知のごとくゲート長約1μmのIG-

(2)

FETの開発実用化が当該分野の関心事となつて
いる。

以下、説明の便宜上、IGFETを例として説
明することとする。

オ1図は、多結晶シリコンをゲート電極材料と
した通常構造の短チャネルIGFETの断面構造
の一例を示したものである。

オ1図において、11は比抵抗約 10^{-4} Ωcmのp型シリ
コン基板結晶、12は厚さ300～500オング
ストロームの二酸化シリコン膜、13はゲート電
極を構成する厚さ0.3～0.5μm程度の低抵抗n
形シリコン多結晶でそのゲート長Lは1～1.5μm
程度である。14および15は拡散又はイオン注
入と拡散の併用により形成された低抵抗n形領域
でそれぞれソースおよびドレイン領域を形成して
いる。

斯くの如き従来構造のIGFETは、構造の微
細化と共に特に微細ゲート構造を再現的に精度よ
く加工することの困難性およびIGFETとしての
特性上いくつかの欠点を顕著にしている。以下、

(3)

この困難性を緩和するため、近來フロンガス
プラズマによる腐蝕が用いられているが、上記
ホトレジスト膜周辺下の腐蝕を除去することは不
可能であり、この問題の満足し得る解決法にはな
っていない。

これらの結果、紫外線又は電子線を用いた露光に
より、ホトレジスト膜24の方は良好に微細形状
を実現し得るにも拘らず、その直下に存在する被
加工物を腐蝕加工する段階において良好なホトレ
ジスト膜形状パターンを再生し得ず、結果として
所望の微細形状を実現し得ないのが現状である。

また、ゲート電極に使用される多結晶シリコン
膜は、通常LSIにおける配線材料としても用い
られるが、該膜の比抵抗が金属膜に較べて約2倍
大なるためLSIの高速動作に好ましくない。更
に電気抵抗の小さな金属膜を、ゲート電極および
LSIの配線材料として使用することが望まれて
いる所以である。

更に従来構造の短チャネルIGFETの特性上
の欠点は、ゲート絶縁膜としての二酸化シリコン

(5)

これら製造工程上の困難性および特性上の欠点を
詳述する。

オ2図は、上記IGFETのゲート部分製造を
形成する主要工程を段階的に示したものである。

オ2図(a)は、p形基板結晶21の表面に厚さ
300～500オングストロームの二酸化シリコ
ン膜22を形成し、該被膜表面に厚さ約0.3～
0.5μmの多結晶シリコン膜23を被着形成し、
該表面に更に幅1～1.5μmのホトレジスト膜
24が形成されている段階を示す。

オ2図(b)は、ホトレジスト膜24をマスクとして
多結晶シリコン膜を腐蝕し、ゲート電極を成形し
た段階を示す。

多結晶シリコン膜の腐蝕には従来化学薬品を用い
た腐蝕が用いられてきたが、ホトレジスト膜24
周辺下部の不規則な腐蝕が著しく微細形状のゲ
ート電極を再現的に精度よく形成することは困難で
ある。この困難性は多結晶シリコン膜の膜厚を薄
くすることにより軽減されるが、それは該膜の電
気抵抗を増し好ましくない。

(4)

膜の比誘電率(≒3.8)が基板シリコンの比誘電
率(≒11.8)に較べて小なることに由来してい
る。以下特性上の欠点を詳述する。

IGFETのソース・ドレイン間距離即ち実効
チャネル長が短縮されるに伴い、ドレイン空乏層
のソース領域への到達によるパンチスルー現象が
生じ易くなる。この現象はIGFETの動作を不
能にする。この現象を回避するためには、基板結
晶の不純物濃度を増大せしめ、ドレイン空乏層の
拡がりを短縮することが必要となる。

しかるに、基板不純物濃度の増大は、ドレイン接
合容量を増大させIGFETの高速動作を防げる
絶縁電圧の基板バイアス依存性を増大させLS
Iの回路設計を困難にする。即ち、IGFETの
動作電圧 V_{TH} は、

$$V_{TH} = V_{FB} + 2\phi_f + \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot q \cdot N \cdot (2\phi_f + V_{Sub})} / C_{ox}$$

にて与えられる。ここで、 V_{FB} :フラットパン
ド電圧、 $\phi_f = (k \cdot T / q) \ln(N/n_i)$:フェル
ミエネルギー、 ϵ_{Si} :基板半導体の比誘電率、 N
:基板結晶中の不純物濃度、 V_{Sub} :ソース・

(6)

基板間電圧、 C_{ox} ：単位面積当りのゲート絶縁膜容量である。

V_{TH} の V_{sub} による変化を小さくする他の方法は、 C_{ox} を増大させることである。このためには、より薄い酸化シリコン膜の使用又は比誘電率の大なるゲート絶縁膜の使用が望ましい。現在チャンネル長 $1\mu m$ 程度の短チャンネル IGFET においては、通常厚さ $300\sim400$ オングストロームの酸化シリコン膜が用いられているが、この厚さを更に低減することはピンホール密度の増大のため技術的に極めて困難な状況にある。従つて比誘電率の一層大なる膜をゲート絶縁膜として用いる事が好ましい。

短ゲート IGFET における特性上の他の欠点は、閾値電圧以下領域におけるリーク電流にある。該領域におけるドレイン電流 I_{D0} - ゲート電圧 V_g 特性の勾配は、

$$\partial V_g / \partial (\ln I_{D0}) \approx 1 + (C_D + C_{BS}) / C_{ox}$$

にて与えられる。ここで C_D は基板結晶内空乏層容量、 C_{BS} は表面準単位容量である。該勾配は、

(7)

困難性を軽減するため、MOSメモリの高密度化の点でも有効である。

以上詳述した如く、比誘電率の大なる絶縁膜を用いた微細構造の M I S (金属-絶縁膜-半導体) 系を実現する技術は、MOS L S T 等の微細な M I S 構造を含む半導体装置において当面する多くの困難性を緩和し極めて重要である。

本発明は、かくの如き要請を満足するようにした微細な M I S 構造を容易に実現し得る製造方法を提供するものである。

本発明の特徴は、 n -型半導体の基板半導体結晶表面又は p -型半導体の基板半導体表面に 200 オングストローム以下の厚さの酸化珪素膜を被覆した基体表面に n -型の金属膜を被覆する工程、前記工程で得た基体表面の一部の領域をホトレジスト膜又は酸化シリコン膜にて覆う工程、該ホトレジスト膜又は酸化シリコン膜をマスクとして露出した領域の n -型の金属膜を陽極化成又は加熱酸化により酸化物化する工程、前記工程に続き基体表面に p -型の金属膜を被覆する工程、前記ホトレジスト

(9)

V_{TH} の下限を制御し L S I の高速化および低電力化を防ぐ好ましくない。

該欠点を軽減するためには C_{ox} を大ならしめることが望ましく、前記同様比誘電率の大なるゲート絶縁膜の使用が好ましい。

IGFET の単位ゲート幅当りの相互コンダクタンス g_m は、短チャンネルに伴うキャリアドリフト速度の飽和のためその上限は $g_m \approx C_{ox} V_s$ に制限される。ここで V_s はキャリアの飽和ドリフト速度である。一方、L S I の大規模化に伴いフィールドオキシサイド上の配線容量は増大し、IGFET の駆動能力制限と相俟つて L S I の動作速度を制限する。従つてこの点からも、比誘電率の大なるゲート絶縁膜の利用は、 C_{ox} の増大による g_m を改良し L S I の高速化に有効である。

また、ダイナミック MOS メモリは、大容量化に伴い (電荷蓄積容量) / (アゾット線容量) の比が減少し、読みとり信号レベルの減少による読みとりの困難性を増大しつつある。比誘電率の大なる絶縁膜の使用は、上記容量比を増大させ該

(8)

膜又は酸化シリコン膜上の n -型の金属膜を該ホトレジスト膜又は酸化シリコン膜と共に除去する工程および前記ホトレジスト膜又は酸化シリコン膜下に存在した n -型の金属膜を除去する工程、以上の諸工程を含むことにあり、M I S (金属-絶縁膜-半導体) 構造を含む半導体装置の諸々の例に適用して極めて良い結果を与える。

n -型の金属膜として良い成績を示す材料の一例を挙げれば、アルミニウム、ハフニウム、タンタル、チタン、ジルコニウム、ニオブなどが、更には 10 倍以下のシリコンを含む上記金属などがある。又 n -型の金属としては、モリブデンやタングステンなどが良い成績を示すものの一例である。

以下、本発明への理解を助けるため、より具体的な実施の一例として IGFET のゲート製造を形成する場合につき図面を用いて詳述する。従来例および本発明を共に IGFET を例に詳述することになるが、これは単に説明および理解を容易にするための配置であつて、何ら本発明を限定するものないことは当然である。

(10)

オ3図は、本発明による短チャネルIGFETのゲート部分を形成する工程を段階的に示した図である。

オ3図(a)は、比抵抗約 $0.5 \Omega \text{cm}$ のp型シリコン基板結晶31の表面に厚さ約1000オングストロームの二酸化シリコン膜32を高温酸化により形成し、該酸化膜表面に厚さ約300オングストロームのアルミニウム膜33を真空蒸着により形成し、更に該被膜表面上のゲート電極形成領域以外の領域表面をホトレジスト膜34にて覆った状態を示す。

前記の如く、写真蝕刻技術の進歩によりホトレジスト膜パターンは精度よく加工形成が可能であり、アルミニウム膜の蒸着された領域幅が例えば1 μm 程度であれば精度よくパターン化することは容易である。

オ3図(b)は、該ホトレジスト膜34をマスクとして陽極化成すること等により、蒸着された領域のアルミニウム膜を酸化し酸化アルミニウム膜35を形成する。

(11)

イン工程により実現され、写真蝕刻工程における高度のパターン位置合せ技術を要することなく短チャネルIGFET等の微細なMIS(金属-絶縁膜-半導体)構造を半導体装置が実現することである。

また本製造方法によりつくられるIGFET等諸々の半導体装置にかよはず特性上の利点は、ゲート絶縁膜材料として比誘電率の大なる材料を使用し得ることによる。二酸化シリコン膜を用いる通常IGFETなどに比べて前記特性上の諸欠点を著しく改良し得ることにある。

上記実施例においては、ゲート絶縁膜用の酸化されるべき金属としてアルミニウムを用いたが、本発明の目的のためにはアルミニウムの他ハフニウム、タンタル、チタン、ジルコニウム、ニオブおよび微量のシリコンを含むこれらの金属を用いることも可能である。何故ならばこれら金属の酸化物はそれぞれ約18, 27, 100, 9および33の高い比誘電率を有するからである。また、ハフニウム、チタン、ジルコニウム等は、酸化性

(13)

オ3図(c)は、前記オ3図(b)の伏線の状態の試料表面に、厚さ約0.3 μm のモリブデン膜36を真空蒸着等の方法により被覆した状態を示す。

オ3図(d)は、該ホトレジスト膜上のモリブデン膜と共に除く、更にホトレジスト膜下のアルミニウム膜を除去することにより、IGFETの好ましいゲート構造を実現した状態を示す。

オ3図(e)は、通常の不純物拡散又はイオン注入と拡散法の併用により低抵抗のn形領域37および38を形成し、それぞれソースおよびドレイン領域として完成させた状態を示す。

以上、一実施例につき本発明の内容を詳述したが、本発明の特徴は、化学薬品による処理又はプラズマエッチ処理等を用いた従来の微細パターン形成における困難性が全く排除されており、従来方法以上の容易性をもつて微細ゲート構造が低阻ホトレジスト膜の精度良い形状を保ち実現し得る利点である。

また他の利点は、ソースもしくはドレイン等の微細パターン周辺領域の形成がいわゆるセルフアラ

(12)

多雰囲気中400℃程度の低温にて酸化が可能となるため、陽極化成に代つて熱的酸化法も利用可能である。

また上記実施例においては、金属膜の酸化マスクとしてホトレジスト膜を用いたが、ホトレジスト膜に代えて低温化学蒸着による薄い酸化シリコン膜も利用し得る。それは酸化シリコン膜もその厚さが極めて薄い場合には通常の方法にて精度良い微細パターン加工が可能なことによる。特に該酸化シリコン膜マスクの使用は、上記ハフニウム、タンタル、ジルコニウムを熱酸化する場合に適して有用である。

また上記実施例においては、ゲート金属としてモリブデンを用いたが、タングステン等も好ましい材料の一つである。

また上記実施例においては、基板シリコン表面上に二酸化シリコン膜を被さみアルミニウム膜を被覆形成した。該二酸化シリコン膜は、陽極化成による酸化アルミニウム膜と基板シリコンとの直接接触による表面単位密度の増大を軽減する機能

(14)

を有するが、本発明における必須要件ではない。

更に前記実施例においては高体半導体としてシリコンを用いた場合につき記述したが、砒化ガリウム等他の半導体を用いることも可能なことは云うまでもない。

以上詳述の如く本発明は著しく特性の改良された短チャネルIGFET等微細MIS構造を含む半導体装置の製造方法として広い範囲に適用し得ると共に極めて有効である。

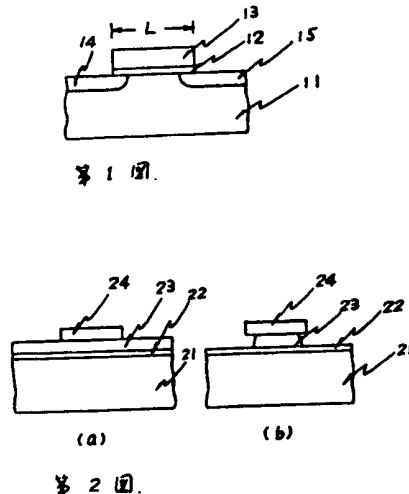
図面の簡単な説明

オ1図は、従来知られている多結晶シリコンをゲート電極とする絶縁ゲート電界効果トランジスタの構造の典型例を示す断面図である。

オ2図は、オ1図に示された絶縁ゲート電界効果トランジスタのゲート部分を形成する工程を段階的に示した図である。

オ3図は、本発明の製造方法を説明する一例として、絶縁ゲート電界効果トランジスタのゲート部分を形成する工程を段階的に示した図である。

(15)



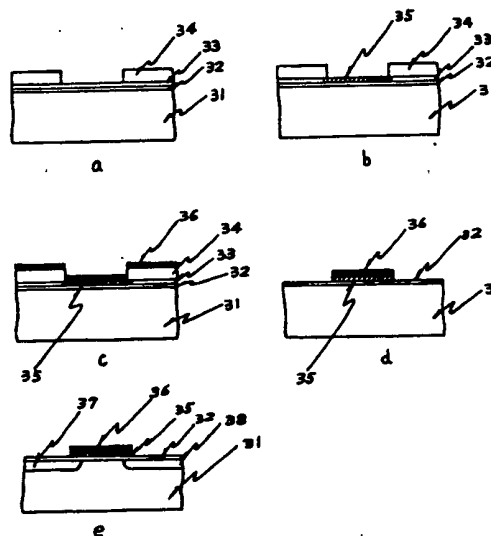
オ2図

図中、11, 21および31はオ1導電型の半導体基板を、12および22は最終製造で絶縁膜として残す二酸化シリコン膜を、32は本発明のために特に薄く形成した二酸化シリコン膜を、35は本発明により特に導入されたオ一の金属膜33を酸化物化した絶縁膜を、13および23は電極もしくは配線層となる低抵抗シリコン多結晶層を、36は13および23に代わるオ二の金属膜を、それぞれ示す。

代理人 弁理士 内 康 吾



(16)



オ3図